

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年1 月6 日 (06.01.2005)

PCT

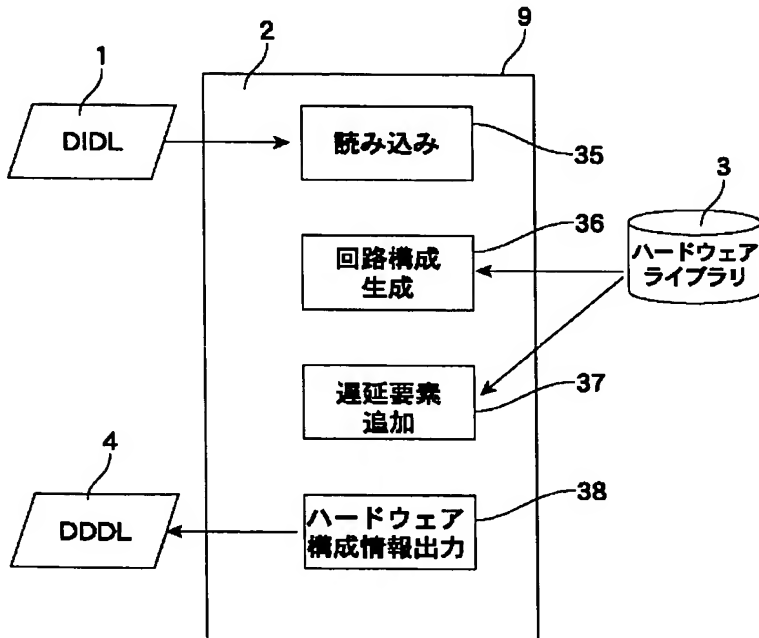
(10) 国際公開番号  
WO 2005/001723 A1

- (51) 国際特許分類<sup>7</sup>: G06F 17/50 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2004/009000 (75) 発明者/出願人 (米国についてのみ): 志村 大 (SHIMURA, Hiroshi) [JP/JP]; 〒1410021 東京都品川区上大崎二丁目2 7 番 1 号 アイピーフレックス株式会社内 Tokyo (JP).  
(22) 国際出願日: 2004 年6 月25 日 (25.06.2004)  
(25) 国際出願の言語: 日本語 (74) 代理人: 今井彰 (IMAI, Akira); 〒3900811 長野県松本市中央1 丁目4 番2 0 号 日本生命松本駅前ビル8 階 Nagano (JP).  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2003-185481 2003 年6 月27 日 (27.06.2003) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,  
(71) 出願人 (米国を除く全ての指定国について): アイピーフレックス株式会社 (IPFLEX INC.) [JP/JP]; 〒1410021 東京都品川区上大崎二丁目2 7 番 1 号 Tokyo (JP).

[続葉有]

(54) Title: METHOD FOR CREATING PARALLEL PROCESSING SYSTEM

(54) 発明の名称: 並列処理システムの生成方法



- 35...READ IN  
36...CIRCUIT CONFIGURATION CREATION  
37...DELAY ELEMENT ADDITION  
38...HARDWARE CONFIGURATION INFORMATION OUTPUT  
3...HARDWARE LIBRARY

(57) Abstract: A definition file includes a plurality of parallel descriptions each defining a plurality of parallel processes performed independently. The plurality of parallel descriptions include a first parallel description indicating a first parallel process having a plurality of data inputs containing at least data input to which output data of the other parallel process is input. Data having identical latency from the input to the parallel processing system is input to the plurality of data inputs. Accordingly, hardware configuration information can be created by a creation method including: a first step for creating hardware configuration information including a circuit configuration having at least one of a plurality of types of elements for executing the parallel process according to a hardware library containing information on a plurality of types of elements; and a second step for adding a delay element to the hardware configuration information so that data having identical latency from the input to the parallel processing system is input to the plurality of data inputs of the circuit configuration for executing the first parallel process.

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明の定義ファイルは、独立に行われる複数の並列処理をそれぞれ規定した複数の並列記述を有し、複数の並列記述は、他の並列処理の出力データが入力されるデータ入力を少なくとも含む複数のデータ入力を備えた第1の並列処理を示す第1の並列記述を含んでおり、それら複数のデータ入力には並列処理システムに入力されてからのレイテンシーが同一のデータが入力されることを示す。したがって、複数種類の要素の情報を記録したハードウェアライブラリに基づき、並列処理を実行するための複数種類の要素の少なくともいずれかを備えた回路構成を含むハードウェア構成情報を生成する第1の工程と、第1の並列処理を実行するための回路構成の複数のデータ入力に、並列処理システムに入力されてからのレイテンシーが同一のデータが入力されるように、ハードウェア構成情報に遅延要素を加える第2の工程とを有する生成方法によりハードウェア構成情報を生成できる。